



Elektrotehnički fakultet, Beograd

Pisanje tehničkog izveštaja/stručnog rada



Uvod u projektovanje VLSI sistema, J. Popović-Božović, 2022.

Celine u izveštaju/radu



- [Apstrakt rada]
- **Uvod**
 - Kratak uvod u problematiku i pregled sadržaja
- **Naslovi** koji dalje mogu biti podeljeni na podnaslove u više nivoa
 - Koristiti redom stilove “*Heading 1*, *Heading 2...*” da bi se na kraju mogao automatski generisati sadržaj ako je potrebno
- **Zaključak**
 - Ukratko ponovljeni glavni rezultati/doprinos rada
- **Literatura**
- [Naslov i *abstract* na engleskom]

2

Stil pisanja



- Tekst mora da bude precizan!
 - Treba izbegavati različite nazive za isti pojam
 - ponavljanja su dozvoljena
 - treba izbegavati lične zamenice (koristiti pasiv!)
=> tehnički izveštaji su suvoparni
- Koristiti termine iz srpskog jezika, ali ne po svaku cenu!
 - Nazive u originalu naznačiti na određeni način
 - npr. *Hardware Description Language* ili "Hardware Description Language")
 - Ako se koriste skraćenice koje nisu u široj upotrebi, kod prvog navođenja u tekstu napisati pun naziv
 - npr. HDL (*Hardware Description Language*)

3

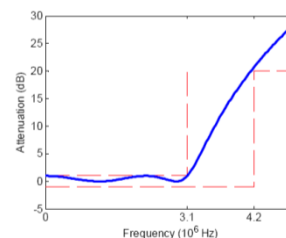
Označavanje slika i tabela



- Svaka slika/tabela mora da ima numeraciju i odgovarajući naziv
 - Mogu se koristiti komande *Insert* -> *Reference* -> *Caption* za automatsku numeraciju slika/tabela u *Word-u*
- Svaka slika/tabela mora da se pomene bar na jednom mestu u tekstu
 - Mogu se koristiti komande *Insert* -> *Reference* -> *Cross Reference* za referenciranje slika/tabela u tekstu
 - Slike i tabele treba da budu pozicionirane tako da ih prati tekst na istoj strani!

TABELA 1: OPIS IZGLEDA STRANE.

Format papira	A4
Gornja margina	20,0 mm
Donja margina	20,0 mm
Leva margina	19,0 mm
Desna margina	19,0 mm



Sl. 1. Ispod slike treba da stoji objašnjenje u kome se može istaći značaj ilustracije.

4

Označavanje jednačina



- Jednačine se centriraju u odnosu na levu i desnu marginu, a numerišu tako da broj jednačine ide uz desnu ivicu teksta
- Broj jednačine treba da bude u običnim zagradama

$$\int_0^{r_2} F(r, \varphi) dr d\varphi = [\sigma r_2 / (2\mu_0)]. \quad (1)$$

$$y = y_0 + (a+1)x + (b+2)x^2 + (c+3)x^3 + dx^4 \quad (2)$$
$$+ x \sin(x) + x \cos(2x) + \log(x).$$

- Simboli koji se koriste moraju da budu definisani pre nego što se pojave u jednačini ili neposredno posle jednačine
- Promenljive se pišu kurzivom
 - na primer, *T* označava temperaturu, ali T je jedinica Tesla
- U tekstu se pozva na jednačinu pisanjem broja jednačine u zagradi "(1)", ali ako se počinje rečenica pozivom na jednačinu tada se koristi "Jednačina (1) je"

5

Literatura



- Literatura treba da bude poređana po redosledu pojavljivanja u tekstu
- Na sve reference navedene u spisku literature mora bar jednom da se pozove u tekstu
 - Koriste se uglaste zagrade i redni broj reference na odgovarajućem mestu u tekstu
 - na primer: "... iz serije *Spartan 3* kompanije *Xilinx* [2]."
 - Pozivanje na literaturu ukazuje na to da pojedini podaci ili zaključci nisu delo autora teksta, ali to znači i da autor ne snosi odgovornost za tačnost tih podataka!
- U literaturu se ubrajaju svi javno publikovani materijali, pa i zvanični Internet sajtovi
 - Treba izbegavati sajtove čiji je sadržaj nezvaničan

6

Format referenci u literaturi



REFERENCES

- [1] R. Brennan, T. R. Viswanathan, J. V. Hanson, "The CMOS Negative Impedance Converter", *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 5, pp. 1272-1275, October 1997. ← časopis
- [2] B. Avanić, G. Gonzalez, K. Premaratne, A. Rodriguez, "Negative resistance design for crystal oscillators", *Int Journal of Electronics*, Vol. 67, No. 6, pp. 869-884, 1989.
- [3] Edited by C. Toumazou et al., *Analogue IC design: the current-mode approach*, Peter Peregrinus Ltd., London, United Kingdom, 1990. ← knjiga
- [4] J. Popović, A. Pavasović, D. Vasiljević, "Low-power High Bandwidth CMOS Current Conveyor", *Proc. of the 21st Int. Conference on Microelectronics*, Niš, pp. 693-696, 1997. ← konferencija
- [5] J. Popovic, A. Pavasovic, and D. Vasiljevic, "Low-power CMOS current conveyor relaxation oscillators", *IEEE Trans. on Ultrasonics, Ferroelectrics and Frequency Control*, Vol. 44, pp. 895-901, July 1997.
- [6] G. Normand, "Translinear current conveyors", *Int. J. Electronics*, Vol. 59, pp. 771-777, 1985.
- [7] <http://www.mosis.org> ← Internet

7

Ostale preporuke



- Koristite font veličine 10 pt ili 12 pt i ravnanje obe ivice teksta (*Justify*)
 - Osim ako nije drugačije naglašeno u uputstvu za pisanje rada
- Tačka, zarez i ostali interpunkcijski znaci se pišu zajedno uz prethodnu reč, a iza se stavlja jedan razmak
- Zagrade se pišu bez razmaka u odnosu na prvu i poslednju reč u zagradi
- Obavezno koristiti nulu pre decimalnog zareza ili decimalne tačke
 - "0,25", a ne ",25"
- **Ne zaboravite da proverite da li imate gramatičke ili štamparske greške u tekstu!!!**
- Još detalja vezanih za formu rada se može naći na sajtu konferencija ETRAN ili TELFOR

8

Sadržaj izveštaja za UPV (1)



- Opis specifikacija celog sistema i komponente koju ste projektovali
 - Šta sistem treba da radi
 - Blok šema povezivanja *top-level* komponente sa periferijama na razvojnoj ploči i van nje
 - Tabelarni pregled signala sa kratkim opisom
- Opis mikroarhitekture HDL koda projektovane komponente
 - Biće na posebnom slajdu
- Opis simulacija i rezultati sa komentarima
 - Treba izabrati primere simulacija koji su bitni za projektovanu komponentu, nije neophodno prikazati sve simulacije

9

Sadržaj izveštaja za UPV (2)



- Ove školske godine u izveštaju ne treba da se opisuje implementacija
 - Ponekad su neophodne izmene u kodu posle sinteze
 - Nakon sinteze/implementacije se dobijaju podaci o zauzeću resursa FPGA
- Zaključak u kome treba sumirati sve rezultate, razmotriti "uska grla" sistema i dati predloge za poboljšanja i dalji rad
- Navesti sve relevantne podatke vezane za projektovanje (korišćeni softver, hardver, čip...)
 - u Uvodu ili u odgovarajućem delu teksta
- Obim izveštaja: do 5 strana

10

Mikroarhitektura HDL koda



- Opis strukture HDL koda
 - Blok šema hijerarhije koda
 - Ako ima više nivoa hijerarhije, za svaki se daje blok šema
 - Vrlo kratak opis funkcije i modova rada za svaku komponentu u sistemu
 - Ako su neke komponente realizovane preko FSM, daje se dijagram stanja FSM i opis prelaska između stanja
 - Pregled svih portova/signala
 - Eventualno može da postoji prilog sa dodatnim informacijama koje su bitne za realizaciju (biblioteke, path-ovi itd)

11

Mikroarhitektura primeri

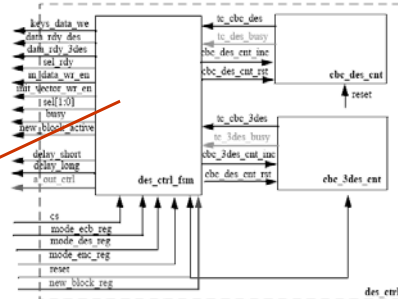
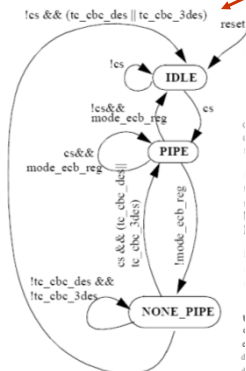


Figure 15.des_ctrl block diagram

The i/o signals for des_ctrl block are given in the table below.

Signal name	Description	Direction	Comment
keys_data_we	input key can be written in key_schedule_round block.	output	key_schedule_round
data_rdy_des	Data from one DES operation is ready to be written in out_reg_block. NOTE: This signal is delayed for 4 clock cycles before active	output	key_schedule
data_rdy_3des	data from one 3DES operation is ready to be written in out_reg_block. NOTE: This signal is delayed for 12 clock cycles before active	output	key_schedule
sel_rdy	Selection signal for type of ready signal (DES or 3DES) NOTE: This signal is delayed for 12 clock cycles before active	output	key_schedule
in_data_wr_en	input data and control signal can be written in op_sel block.	output	op_sel

12

III faza projekta - izveštaj



- Ocenjivanje:
 - sadržaj 5 poena
 - forma 5 poena
- Poslati doc ili pdf fajl na adrese:
 - jelena@etf.rs
 - oe4upv@el.etf.rs
- Naziv fajla treba da bude: 13E044UPV_2022_grupaXX gde je XX redni broj vaše grupe
- Rok: 15.1.2023.